مدار مرجع ولتاژ CMOS با PSRR زیاد مناسب استفاده در برچسب UHF

سمیه یوسفی[۱]، نرگس موسوی [۲]

۱- پژوهشگاه توسعه فناوری‌های پیشرفته، yousefi-s@rcdat.ir

۲- پژوهشگاه توسعه فناوری‌های پیشرفته، mousavi-nrgs@rcdat.ir

مدار مرجع ولتاژ CMOS با نسبت حذف نویز تغذیه (PSRR) زیاد، مناسب برای کاربردهایی در محیط‌های پرنویز مانند کاربردهای انتقال توان بی‌سیم معرفی می‌شود. در این مدار، ولتاژ مرجع بر اساس اختلاف بین ولتاژهای گیت-سورس ترانزیستورهای MOS تولید می‌شود. جریان مصرفی این مدار ۶۱۵ nA در ولتاژ تغذیه ۱/۸ V است و ولتاژ مرجع ۵۸۱ mV را تولید می‌کند. حداقل ولتاژ تغذیه ۱/۵ V و حداکثر ضریب دمایی حدود ۳۳/۱ppm/°C است. مقدار PSRR در فرکانس‌های ۱ MHz و ۹۰۰ MHz به ترتیب ۸۴ dB- و ۸۶ dB- به دست آمده است. این مدار، یک ولتاژ ثابت به منظور استفاده در کنار تنظیم‌کننده ولتاژ تولید می‌کند. همچنین نتایج به‌دست‌آمده نشان می‌دهد که این مرجع ولتاژ توانایی حفظ عملکرد پایدار خود، در فرکانس‌های UHF را دارد.

کلمات کلیدی: مرجع ولتاژ CMOS، ضریب دمایی، عملکرد زیرآستانه، PSRR، توان مصرفی پایین

۱. مقدمه

مرجع ولتاژ، به عنوان یکی از المان‌های کلیدی در طراحی تغذیه مدارها و سیستم‌های الکترونیکی، نقش مهمی در تعیین دقت و پایداری عملکرد آنها دارد. این مدار با فراهم کردن یک ولتاژ ثابت مرجع، برای مقایسه و تنظیم ولتاژهای دیگر در مدار عمل می‌کند. مراجع ولتاژ بدون وابستگی به شرایط محیطی باید قادر به حفظ ولتاژ دقیق باشند و به همین دلیل، طراحی آنها نیازمند دقت بالایی است. عملکرد صحیح مدارها در بسیاری از کاربردها، از جمله سنسورها، تقویت‌کننده‌ها و کنترل‌کننده‌ها، به کیفیت و دقت مرجع ولتاژ وابسته است [۱].

بهبود کارایی مراجع ولتاژ در برابر نویزها و ریپل‌های منبع تغذیه در کاربردهای کم مصرف مانند RFIDهای غیرفعال، میکرو-حسگرهای بی‌سیم و تراشه‌های قابل کاشت در بدن بسیار اهمیت دارد [۲]. بیشترِ این کاربردها فاقد باتری هستند و توان موردنیاز خود را از طریق یک لینک تله‌متری توان، با یکسوسازی سیگنال حامل دریافتی از آنتن، تأمین می‌کنند. در نتیجه، توان در دسترس معمولاً به دلیل نشتی سیگنال حامل و همچنین وجود ریپل‌های داده (در صورت استفاده از مدولاسیون دامنه برای تبادل داده) حاوی نویز است. علاوه بر این، در مجتمع‌سازی مدار روی تراشه، مجاورت بلوک‌های دیجیتال و آنالوگ موجب افزایش نویز روی خط تغذیه می‌شود [۳].

مرجع ولتاژ یک بخش لازم برای طراحی تنظیم‌کننده ولتاژ است و با تولید یک ولتاژ ثابت به عنوان مرجعی برای مقایسه در تنظیم‌کننده ولتاژ عمل می‌کند. نسبت حذف نویز تغذیه (PSRR*) مرجع ولتاژ به طور مستقیم، PSRR تنظیم‌کننده

* Power supply rejection ratio

ولتاژ را محدود می‌کند. بنابراین طراحی مرجع ولتاژ با PSRR زیاد یک چالش مهم و قابل توجه برای طراح محسوب می‌شود [۴].

مراجع ولتاژ مرسوم معمولاً از ترکیب یک مؤلفه PTAT* که دارای تغییراتی متناسب با دمای مطلق و یک مؤلفه CTAT† که تغییراتی مخالف با تغییرات دمای مطلق دارد، ایجاد می‌شود و به پایداری دمایی موردنیاز می‌رسند. اما این روش‌ها معمولاً به مدارهای پیچیده با توان مصرفی نسبتاً بالا منجر می‌شوند که اغلب نیازمند استفاده از تقویت‌کننده‌های عملیاتی است که می‌توانند مشکلات پایداری نیز ایجاد کنند [۵].

مراجع ولتاژ مبتنی بر ترانزیستورهای دوقطبی از ویژگی دمایی اتصال بیس-امیتر ترانزیستورهای دوقطبی استفاده می‌کنند. با توجه به اینکه ولتاژ گیت-سورس یک ترانزیستور MOS در جریان بایاس ثابت، ضریب دمایی منفی مشابه ولتاژ بیس-امیتر در ترانزیستور دوقطبی دارد، امکان پیاده‌سازی مدار مرجع تمام CMOS فراهم می‌شود [۶].

طرح ارائه شده در [۷]، یک مدار مرجع شکاف باند مبتنی بر ترانزیستورهای CMOS است که با ترکیب دو جریان با ضرایب دمایی متفاوت، ولتاژی با وابستگی حداقلی به دما تولید می‌کند. در این طراحی که در ناحیه زیرآستانه‡ است امکان کارکرد در ولتاژ تغذیه پایین (حدود ۰/۸V) وجود دارد. اما با توجه به بهره‌گیری از آپ امپ، مصرف جریان بالاتر نسبت به ساختارهای مرسوم را دارد.

همچنین مراجع ولتاژ می‌توانند بر اساس اختلاف میان دو کمیتی که رفتار مشابهی نسبت به تغییرات دما دارند طراحی شوند. ساختارهای ارائه شده در [۸،۹] بر اساس اختلاف بین ولتاژهای گیت-سورس دو ترانزیستور MOS با ضرایب مناسب طراحی شده‌اند. این مدارهای مرجع به هیچ ترانزیستور دوقطبی یا حتی تقویت‌کننده عملیاتی نیاز ندارند، بنابراین از نظر مساحت بهینه هستند و با فرآیند CMOS سازگارترند. همچنین استفاده از ترانزیستورهای MOS به جای ترانزیستورهای دوقطبی این امکان را فراهم می‌کند تا مدار مرجع با ولتاژ تغذیه بسیار پایین‌تر کار کند با این حال، معمولاً PSRR این ساختارها در فرکانس‌های متوسط تا بالا عملکرد ضعیفی دارد.

روش‌های متعددی برای دستیابی به PSRR بالا در مدارهای مرجع وجود دارد، از جمله ساختارهایی در [۱۰،۱۱] پیشنهاد شده که شامل تزریق نویزهای تغذیه به حلقه فیدبک است. در این روش، ترانزیستورهای MOS که به‌طور مستقیم به ولتاژ تغذیه متصل‌اند، تقریباً همان نویز تغذیه را بر روی پایه‌های گیت و سورس خود دریافت می‌کنند. بنابراین، ولتاژ گیت-سورس آن‌ها تقریباً ثابت می‌ماند و تغییرات جریان درین ناشی از نویز تغذیه کاهش می‌یابد در نتیجه PSRR بهبود می‌یابد. با این حال، باید به پایداری حلقه فیدبک توجه شود. همچنین قرارگیری یک فیلتر RC پایین‌گذر که از ترانزیستورهای MOS ساخته شده، در گره خروجی می‌تواند PSRR را در فرکانس‌های بالا بهبود دهد. با این حال، برای دستیابی به PSRR موردنظر در یک فرکانس مشخص، ممکن است نیاز به المان‌هایی با مقادیر بزرگ برای فیلتر باشد [۱۲].

در این مقاله، یک مدار مرجع ولتاژ مبتنی بر اختلاف ولتاژهای گیت-سورس (V_{GS}) ترانزیستورهای MOS ارائه شده است. این مدار بدون استفاده از عناصر غیرفعال در هسته مرجع ولتاژ طراحی شده و با بایاس در ناحیه زیرآستانه، توان مصرفی آن به‌طور قابل‌توجهی کاهش یافته است. همچنین به منظور بهبود PSRR در فرکانس‌های بالا از تکنیک‌های مداری استفاده شده است.

* Proportional to absolute temperature
† Complementary to absolute temperature
‡ Subthreshold

۲. مرجع ولتاژ CMOS پیشنهاد شده

مدار مرجع ولتاژ پیشنهادی بر اساس اختلاف ولتاژ گیت-سورس بین سه ترانزیستور NMOS طراحی شده است. شکل ۱ طرح ترانزیستوری از مرجع ولتاژ پیشنهاد شده را نشان می‌دهد، که شامل هسته مرجع ولتاژ، مدارهای بایاس و مدار راه‌انداز است. هسته مرجع ولتاژ از ترانزیستورهای M_{N1}-M_{N3} تشکیل شده است و ولتاژ گیت-سورس ترانزیستورهای آن تعیین‌کننده مقدار نهایی ولتاژ مرجع است.

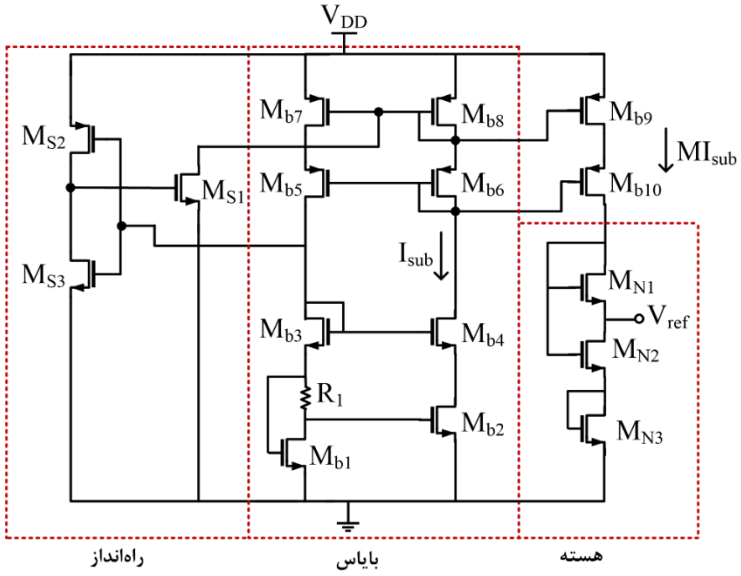
دستیابی به PSRR زیاد در این محدوده فرکانسی چالش‌برانگیز است، زیرا امپدانس مسیر تغذیه به خروجی مرجع ولتاژ در فرکانس‌های UHF کاهش می‌یابد و در نتیجه نویزهای حاصل از سیگنال حامل RF می‌توانند به‌راحتی به خروجی مرجع ولتاژ نفوذ کنند. بنابراین به‌منظور بهبود PSRR، در این طراحی از یک مدار بایاس با وابستگی کم به تغییرات تغذیه، متشکل از ترانزیستورهای M_{b1} تا M_{b10} استفاده شده است. ترانزیستورهای M_{b1} و M_{b2} در ناحیه زیرآستانه و ترانزیستورهای M_{b3}-M_{b10} در ناحیه اشباع بایاس شده‌اند. طراحی این ترانزیستورها در ناحیه زیرآستانه، کاهش قابل توجه جریان مصرفی را به همراه داشته است. استفاده از این ساختار، با کاهش اثر مدولاسیون طول کانال، تأثیر نوسانات تغذیه بر جریان شاخه‌های مدار را به‌حداقل رسیده و منجر به بهبود PSRR می‌شود.

از طرفی با توجه به شکل ۱، از ولتاژ تغذیه تا هسته مرجع ولتاژ، به واسطه بهره‌گیری از مدار بایاس با وابستگی کم به تغییرات تغذیه از دو ترانزیستور PMOS استفاده شده است. ترانزیستور M_{b9} به منظور تنظیم جریان شاخه اصلی مرجع ولتاژ استفاده شده است، در حالی که با کاهش سایز ترانزیستور M_{b10} می‌توان از انتقال ریپل‌های فرکانس بالا به ولتاژ مرجع خروجی جلوگیری کرد چرا که خازن‌های پارازیتی این ترانزیستور کاهش می‌یابد و در نتیجه باعث بهبود PSRR در فرکانس‌های بالا می‌شود.

مدار راه‌انداز از ترانزیستورهای M_{S1}، M_{S2} و M_{S3} تشکیل شده است. در صورتی که مدار بایاس به‌طور خودکار روشن نشود، این مدار وظیفه دارد فرآیند راه‌اندازی مدار بایاس را انجام دهد تا مدار مرجع ولتاژ بتواند به‌درستی وارد حالت کاری خود شود. زمانی که مدار بایاس در وضعیت خاموش قرار دارد، ولتاژ گیت ترانزیستورهای M_{b7} و M_{b8} در سطح بالا و ولتاژ گیت ترانزیستورهای M_{b3} و M_{b4} در سطح پایین قرار می‌گیرد. در نتیجه، ولتاژ خروجی معکوس‌کننده (M_{S2} و M_{S3}) افزایش یافته و موجب فعال شدن ترانزیستور M_{S1} می‌شود. جریان‌کشی این ترانزیستور از گیت ترانزیستورهای M_{b7} و M_{b8} موجب کاهش ولتاژ گیت آنها شده و در نهایت به فعال شدن مدار بایاس منجر می‌شود.

رابطه (۱) ولتاژ مرجع خروجی این مرجع ولتاژ را نشان می‌دهد.

$$V_{ref} = -V_{GSN1} + V_{GSN2} + V_{GSN3} \quad (۱)$$

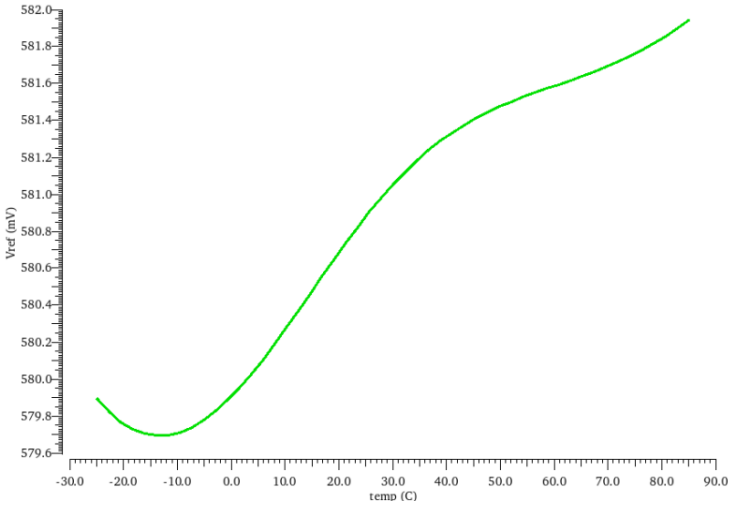


شکل ۱. طرح مدار مرجع ولتاژ پیشنهاد شده

۳. نتایج شبیه‌سازی

مدار مرجع ولتاژ پیشنهادی در فناوری CMOS µm ۰/۱۸ طراحی و شبیه‌سازی شده است. مصرف جریان آن در تغذیه ۱/۸ V، ۶۱۵ nA است و ولتاژ مرجع ۵۸۰ mV به دست آمده است.

شکل ۲ ولتاژ مرجع خروجی را نسبت به دما نشان می‌دهد. با تغییر دما از ۲۵°C- تا ۸۵ °C ولتاژ مرجع خروجی دارای تغییرات بسیار کم (حدود ۲mV) است. شکل ۳ تغییرات ولتاژ مرجع خروجی را با تغییر گوشه‌های فناوری نشان می‌دهد. رابطه (۲) نحوه محاسبه ضریب دمایی را نشان می‌دهد. ضریب دمایی برای این مرجع ولتاژ برابر با ۳۱/۳ ppm/°C به دست آمده است.

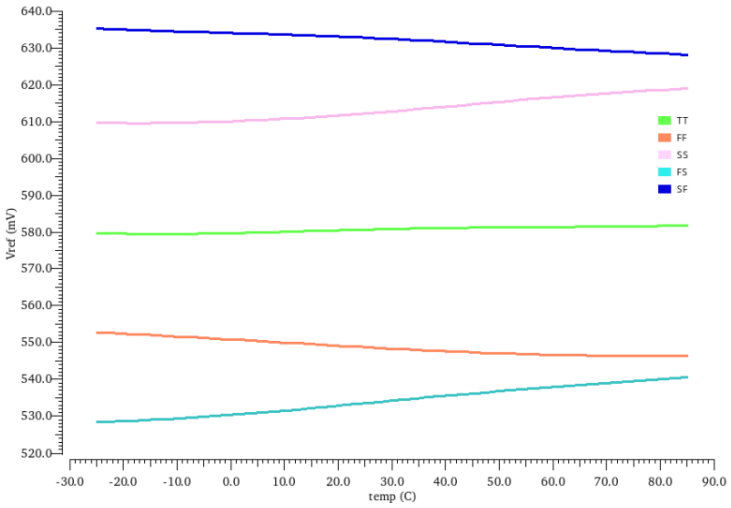


شکل ۲. ولتاژ مرجع خروجی

$$\mathrm{TC} = {(V_{ref\,max} - V_{ref\,min})}\Big/{V_{ref} * \Delta T} \qquad (۲)$$

ولتاژ خروجی تنظیم‌کننده، تابعی از ولتاژ خروجی مرجع ولتاژ است، بنابراین تغییرات مجاز ولتاژ مرجع را می‌توان بر اساس تغییرات مجاز خروجی تنظیم‌کننده ولتاژ تعیین کرد. با توجه به اینکه خروجی تنظیم‌کننده ولتاژ ۱/۸V و ولتاژ مرجع ۰/۵۸V است، نسبت این دو ۰/۳۲ خواهد بود.

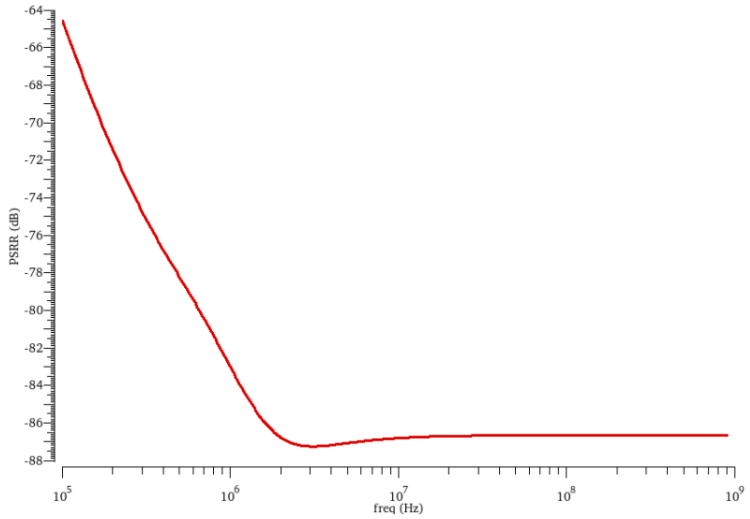
از آنجایی‌که تغییرات مجاز خروجی تنظیم‌کننده ٪۱۰± معادل ۳۶۰ mV است، بنابراین میزان تغییرات مجاز ولتاژ مرجع برابر با ۱۱۶ mV به دست می‌آید. در نتیجه، ولتاژ مرجع می‌تواند در گوشه‌های مختلف فناوری تا این مقدار تغییر کند. با این حال، مطابق شکل ۳، تغییرات ولتاژ مرجع بسیار کمتر از این حد مجاز است.



شکل ۳. ولتاژ مرجع خروجی به ازای گوشه‌های مختلف

شکل ۴ مشخصه PSRR را در یک بازه‌ی وسیع فرکانسی نشان می‌دهد. مقادیر PSRR در فرکانس‌های ۱ MHz و ۹۰۰ MHz (محدوده UHF) به ترتیب ۸۴ dB- و ۸۶ dB- به دست آمده است. ثبات چشمگیر PSRR در فرکانس‌های UHF، ناشی از بهره‌گیری از تکنیک‌های جبران‌سازی در مدار بایاس پیشنهادی است. در این فرکانس‌ها، خازن‌های پارازیتی گیت-درین و گیت-سورس ترانزیستورها به‌طور معمول مسیرهای نشت* برای نویز تغذیه ایجاد می‌کنند؛ اما ساختار طراحی‌شده با کاهش خازن های پارازیتی در مسیر تغذیه به ولتاژ مرجع، از انتقال ریپل‌های فرکانس بالا جلوگیری کرده و به این ترتیب پایداری خروجی مرجع تضمین می‌شود.

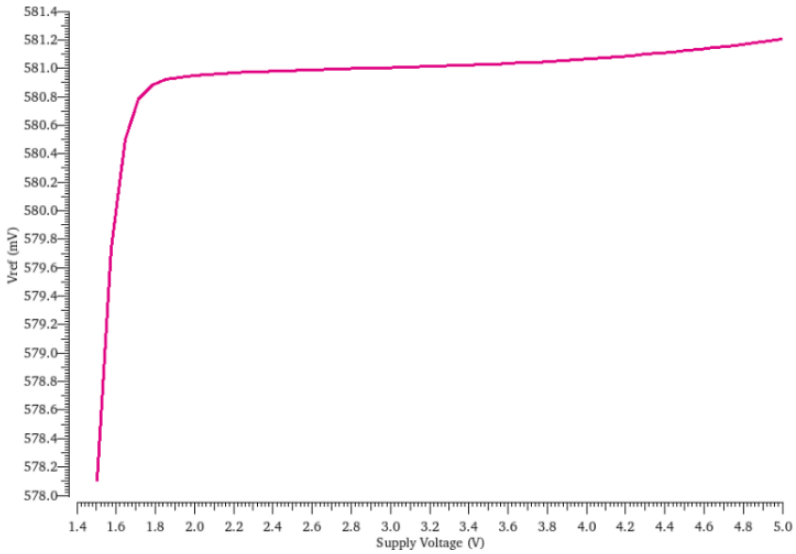
* Feedthrough



شکل ۴. مشخصه PSRR مرجع ولتاژ

طبق نتایج حاصل از شبیه‌سازی، شکل ۵ تغییرات V_{ref} به ازای تغییرات ولتاژ تغذیه از ۱/۵V تا ۵ V را نشان می‌دهد که میزان این تغییرات فقط ۳ mV است.

مشخصات مدار مرجع ولتاژ پیشنهادی به همراه مقایسه با سایر طرح‌ها در جدول ۱ نشان داده شده است. طرح پیشنهاد شده در رنج دمایی مناسب با مصرف جریان کمتر، دارای ضریب دمایی بهتری بوده و PSRR این طرح نیز نسبت به سایر مراجع، خصوصاً در فرکانس‌های بالا بهبود قابل توجهی دارد.



شکل ۵. تغییرات ولتاژ مرجع خروجی نسبت به تغییرات تغذیه

۴. نتیجه‌گیری

در این مقاله، طرح یک مرجع ولتاژ در فناوری ۰/۱۸ µm CMOS پیشنهاد و طراحی شده است. جریان مصرفی این مدار زیر ۱µA است که کاملاً مناسب استفاده در برچسب UHF است. این مدار، PSRR بسیار خوبی دارد که می‌تواند از انتقال نویز موجود در تغذیه مدار مرجع ولتاژ خصوصاً در فرکانس سیگنال حامل (۸۶۵MHz) به خروجی جلوگیری کند. در این ساختار، مدار بایاس با وابستگی کم به تغییرات تغذیه و نیز طراحی مناسب مسیرهای AC موجب شده است که مدار

حتی در شرایط وجود نویزها و تداخل‌های فرکانسی شدید، ولتاژ مرجع خود را بدون اعوجاج حفظ کند. همچنین طراحی این مدار در ناحیه زیر آستانه صورت گرفته و نسبت به تمامی گوشه‌های فناوری بررسی شده و عملکرد بسیار خوبی داشته است.

جدول ۱. مشخصات مرجع ولتاژ پیشنهادی و مقایسه با کارهای قبل

	[۱۳]	[۱۴]	[۱۵]	[۷]	[۶]	طرح پیشنهادی
فناوری (µm CMOS)	۰/۰۲۸	۰/۱۸	۰/۱۸	۰/۱۸	۰/۱۸	۰/۱۸
رنج دمایی (°C)	−۴۰ - ۱۲۵	−۲۵ - ۱۳۰	−۴۰ - ۱۲۵	−۴۰ - ۱۲۵	−۴۰ - ۸۵	−۲۵ - ۸۵
ولتاژ تغذیه (V)	۱	۳/۳	۱/۸ - ۵	۱	۱/۸ - ۳/۵	۱/۵ - ۵
جریان تغذیه (µA)	۱۱	۷۵	۱/۰۷	۵/۱۳	۱۰	۰/۶۱۵
ولتاژ مرجع (V)	۰/۱۰۸	۱/۶۲۷	۱/۲۳	۰/۵	۰/۶۰۸	۰/۵۸۱
ضریب دمایی (ppm/°C)	۸/۵	۱۸/۰۶	۲۰	۸۵/۰۸	۴۲/۵	۳۳/۱
PSRR	−۵۸ dB @1kHz	-۳۷ dB @100kHz	-۲۰ dB @1MHz	-۹۶ dB @900MHz	−۴۲ dB @1k	−۸۴ dB @1MHz −۸۶ dB @865MHz

مراجع

1.R. Ondica, D. Maljar, M. Potočný, D. Arbet, and V. Stopjaková (2025), "Tunable Voltage Reference circuit in a standard 65nm CMOS technology," in 2025 IEEE 28th International Symposium on Design and Diagnostics of Electronic Circuits and Systems (DDECS), pp. 80-85.
2.Z. Lin, "A 11.5 nW CMOS bandgap voltage and current reference (2024)," in 2024 IEEE 4th International Conference on Electronic Technology, Communication and Information (ICETCI), pp. 828-833.
3.S. Yousefi, M. Jalali (2014), “An Ultra Low-Power, High-PSRR CMOS Voltage Reference” The 22nd Iranian Conference on Electrical Engineering.

4.S. Yousefi, M. Jalali (2013), “A Sub-Threshold Voltage Reference Circuit Suitable for Smart-Card Application” Electronics Industries Quarterly, Vol.4, No.4.
5.R. Nagulapalli, R. K. Palani, and S. Bhagavatula (2020), "A 24.4 ppm/°C voltage mode bandgap reference with a 1.05 V supply," IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 68, no. 4, pp. 1088-1092.
6.S. Banerjee, S. Chatterjee, K. Mukherjee, and S. Pandit (2023), "A temperature compensated beta-multiplier based sub-1 v voltage reference circuit for low-voltage applications," in 2023 IEEE Devices for Integrated Circuit (DevIC), pp. 291-295.
7.M. Golhani, R. Khatri, P. P. Bansod (2021), “A Low Voltage Low Power Wide Supply CMOS Current Mode Bandgap Voltage Reference.” IEEE Bombay Section Signature Conference (IBSSC), IEEE.
8.Leung K, Mok P. (2003), “A CMOS voltage reference based on weighted ΔVGS for CMOS low-dropout linear regulators.” IEEE J Solid-State Circuits,38:146–50.
9.Vita G, Iannaccone G (2006), “Ultra-low-power temperature compensated voltage reference generator.” Microelectron J, 37:1072–9.
10.Li W, Yao R, Guo L. (2009), “A low power CMOS bandgap voltage reference with enhanced power supply rejection“ In: 8th IEEE International Conference” p. 300–4.
11.Hoon S, Chen J, Maloberti F. (2002), “An improved bandgap reference with high power supply rejection.” In: IEEE International Symposium on Circuits and Systems, p. V-833–6.
12.Wang D, Luo P, LiaoHigh P. (2014), “High PSRR low noise CMOS bandgap voltage reference.” In: IEEE International Conference on Electron Devices and Solid-State Circuits. p. 1–2.
13.R. K. Palani, S. Bhagavatula, and D. K. Yuen (2022), "A sub-1-V 8.5-ppm/° C sampled bandgap voltage reference," IEEE Transactions on Circuits and Systems II: Express Briefs, vol. 69, no. 10, pp. 4153-4157.

14.Katebi, M., et al. (2024), “A 18.06 ppm/°C Fully CMOS Bandgap Voltage Reference.” Experimental Results, International Conference on Microelectronics (ICM), IEEE.

15.Z. Huang, X. Zhu, and Z. Li (2019), "Design of a high precision current mode band gap reference circuit." 3rd International Conference on Electronic Information Technology and Computer Engineering (EITCE), pages 178–181.